

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **03214751 A**(43) Date of publication of application: **19.09.91**

(51) Int. Cl.

H01L 21/66
G01R 31/00
(21) Application number: **02010395**(71) Applicant: **TOSHIBA CORP**(22) Date of filing: **19.01.90**(72) Inventor: **OZAKI JUICHI**(54) **EVALUATION OF CHARACTERISTICS OF DUAL-GATE FET**

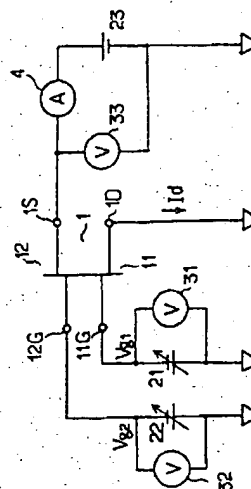
this constitution, non-linear analysis can be performed by simple DC level measurement.

(57) Abstract:

COPYRIGHT: (C)1991,JPO&Japio

PURPOSE: To facilitate evaluation of the non-linear characteristics of a dual-gate FET by a simple calculation based upon a mutual conductance obtained by DC level measurement by a method wherein it is perceived that the change rate of the mutual conductance corresponds to a conversion gain when a mixer circuit or a multiplier circuit is constituted.

CONSTITUTION: A mutual conductance is measured by changing the respective bias voltages applied to a first gate 11G and a second gate 12G. The change rate of the mutual conductance corresponding to the change of the bias voltage applied to the second gate 12G is obtained and the bias voltages applied to the first and second gates are changed while the bias voltage applied to a drain is kept at a certain value. The difference between the voltage applied to the second gate 12G when the change rate of the mutual conductance is approximately maximum and the voltage applied to the second gate 12G when the change rate of the mutual conductance is almost zero while the bias voltage applied to the first gate 11G is kept at a certain value is obtained to evaluate the characteristics of a dual-gate FET. With



⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平3-214751

⑬ Int. Cl.⁵

H 01 L 21/66
G 01 R 31/00

識別記号

庁内整理番号

U 7013-5F
7905-2G

⑭ 公開 平成3年(1991)9月19日

審査請求 未請求 請求項の数 1 (全6頁)

⑮ 発明の名称 デュアルゲートFETの特性評価方法

⑯ 特 願 平2-10395

⑰ 出 願 平2(1990)1月19日

⑱ 発 明 者 尾 崎 寿 一 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝小向工場内

⑲ 出 願 人 株 式 会 社 東 芝 神奈川県川崎市幸区堀川町72番地

⑳ 代 理 人 弁 理 士 大 胡 典 夫

明 細 書

1. 発明の名称

デュアルゲートFETの特性評価方法

2. 特許請求の範囲

ソースを接地し、ドレインを出力端子とし、第1のゲートを入力端子としこの第1のゲート及び第2のゲートの各バイアス電圧を変えて相互コンダクタンスを測定し、前記第2のゲートのバイアス電圧の変化に対する相互コンダクタンスの変化量を求め、前記ドレインのバイアス電圧を一定として前記第1及び第2のゲートバイアスを変化させ、前記相互コンダクタンスの変化量がほぼ最大となったときの前記第2のゲートのバイアス電圧と、前記第1のゲートのバイアス電圧を一定とした状態で前記相互コンダクタンスの変化量がほぼ零となったときの前記第2のゲート電圧との差を求めてデュアルゲートFETの特性を評価するデュアルゲートFETの特性評価方法。

3. 発明の詳細な説明

【発明の目的】

(産業上の利用分野)

この発明はデュアルゲートFETの特性、特に非線形特性を評価する評価方法に関する。

(従来の技術)

デュアルゲート電界効果トランジスタ(以下、DG FETと称する)は、マイクロ波帯での周波数混合器(ミキサ)や周波数逓倍器等の非線形回路構成の素子として採用される。

DG FETの非線形特性を評価することは、ミキサ回路等に採用した場合の高周波(RF)における変換利得等の特性がどのようなになるかを推定したり、DG FET自体を開発するに際しての基礎データを集積する上でも重要視される。

DG FETの構成は、第5図に示すように、第1及び第2シングルゲート(SG)FET 11, 12のガスケード接続構造とみなすことができ、DG FET 1の評価は各SG FET 11, 12の高周波における動作特性を調べることによって行なわれる。第5図において、11G, 12Gは夫々第1ゲート、第2ゲート、1Dはドレイン端子、1Sはソース端

子を示す。このDGFET1の等価回路は、中の詳細な説明は省略するが、一般的に第6図のように表される。

従来のDGFET1の非線形特性の評価は、次の(a)～(d)の手順で行われた。即ち、

(a) 第6図に示すようなDGFET1の等価回路を仮定し、ある特定バイアス条件下における高周波でのSパラメータを測定し、そのSパラメータの周波数特性を最も良く表わすように各等価回路素子の値を決定する。

(b) 次に、DGFET1の直流バイアスを変えながら、(a)と同様に各等価回路素子の値を夫々求める。

(c) 次に、(b)で求めた各等価回路素子の値をもとに、第7図に示すように、例えば第1及び第2ゲート電圧 V_{g1} 、 V_{g2} に対する第1の相互コンダクタンス G_{m1} の特性を図示する。

(d) 次に、(c)で求めた特性図からDGFET1の非線形特性を検討し類推する。

上記評価手順の中で、例えば第7図に示す特性

図は、ミキサ回路等を構成した場合に得られる非線形特性のシミュレーション用として、あるいは非線形回路設計に際し把握すべきDGFET1のパラメータを求める上では重要である。

しかしながら、第7図に示す特性図を得るには、上述のように複雑で高精度な高周波測定器を必要とした。

また各直流バイアス値を変化させながら測定して得たSパラメータの各々について、第6図に示された等価回路素子の値を夫々独立に変化させながら、その変化値に対するSパラメータ及びSパラメータの周波数特性を求めるという複雑な計算が要求され、結果を得るまでには相当の手間と時間を要した。

また、測定に際しては、高周波帯特有の寄生素子の影響を無視できず、各等価回路素子値を正確にとらえることは容易ではなかった。

更に、第7図に示すような特性図からでは、DGFET1を採用したミキサ回路や通信器回路における変換利得との対応付けが難しいので、実際

— 3 —

に非線形回路用DGFETの改良開発のポイントを見つけにくいという問題もあり、改善が要望されていた。

(発明が解決しようとする課題)

従来のデュアルゲートFETの特性評価方法では、評価を行うのに複雑で高精度の高周波測定器を必要とする上、膨大な計算を必要とし手間がかかる等の欠点があり、また評価結果からは実際に必要な変換利得を求めにくいという問題があった。

この発明は、上記欠点を解消し、高精度の高周波測定器を使用することなく、簡単な直流レベルの測定によって非線形解析が容易に可能であり、また変換利得も簡単に求め得るDGFETの特性評価方法を提供することを目的とする。

[発明の構成]

(課題を解決するための手段)

この発明によるデュアルゲートFETの特性評価方法は、ソースを接地し、ドレインを出力端子とし、第1のゲートを入力端子としこの第1の

— 4 —

ゲート及び第2のゲートの各バイアス電圧を変えて相互コンダクタンスを測定し、前記第2のゲートのバイアス電圧の変化に対する相互コンダクタンスの変化量を求め、前記ドレインのバイアス電圧を一定として前記第1及び第2のゲートバイアスを変化させ、前記相互コンダクタンスの変化量がほぼ最大となったときの前記第2のゲートのバイアス電圧と、前記第1のゲートのバイアス電圧を一定とした状態で前記相互コンダクタンスの変化量がほぼ零となったときの前記第2のゲート電圧との差を求めてデュアルゲートFETの特性を評価することを特徴とする。

(作用)

この発明によるDGFETの特性評価方法は、DGFETにおける直流レベルでの相互コンダクタンスの変化量が、ミキサ回路あるいは通信器回路を構成したときの変換利得に対応することに着目してなされたもので、高周波測定器を必要とすることなく、直流レベルで測定の相互コンダクタンスをもとに、簡単な計算により非線形特性を評

— 5 —

— 6 —

価できるものである。

(実施例)

以下、この発明によるDGFETの特性評価方法の一実施例を第1図ないし第4図を参照し詳細に説明する。なお、第5図ないし第7図の中で示した構成と同一構成には同一符号を付して説明する。

第1図はこの発明方法で適用する測定回路図である。

即ち、第1図において、評価用DGFET1の第1ゲート11G、第2ゲート12G、及びソース端子1Sには夫々電圧可変形の直流バイアス電源21、22及び固定直流バイアス電源23が接続され、これら各直流バイアス電源21~23に並列に直流電圧計31、32及び33が、また直流バイアス電源23には直列に直流電流計4が接続されている。

いま、第1ゲート11Gを信号入力端子、ドレイン端子1Dを出力端子とし、第2ゲート電圧Vg2、ドレイン電圧Vdを一定としたとき、直流での相互コンダクタンスGm1は次式(1)のように表さ

— 7 —

る。相互コンダクタンスGm1の変化量ΔGm1は、第2図に示すように一義的に対応することに藉目したもので、DGFET1の相互コンダクタンスGm1の変化量ΔGm1を得ることによって、ミキサ回路を実際に組立てることなく変換利得を類推できる。

次に、ドレイン電圧Vdが一定の条件で、相互コンダクタンスGm1の最大の変化量ΔGm1が得られるように、第1、第2ゲート電圧Vg1、Vg2を決定したとき、第2ゲート電圧Vg2を変数としてGm1とΔGm1の値を求めると第3図の特性図が得られる。なお、この場合もDGFET1のゲート幅は300μmである。

DGFET1を採用したミキサ回路でのミキシング動作は、第2SGFET12は第2ゲート12Gに印加された局発信号の励振によりスイッチング動作を行い、この第2SGFET12のスイッチング動作によって第1SGFET11の第1ゲート11Gに供給されたミキサ信号に対する利得が変化して行われると考えられる。つまり、第3図に示

れる。

$$G_{m1} = \delta I_d / \delta V_{g1} \quad (1)$$

但し、Idはドレイン電流、Vg1は第1ゲート電圧を示す。

次に、第2ゲート電圧Vg2を変化させたときの相互コンダクタンスGm1の変化量ΔGm1は、第1ゲート電圧Vg1及びドレイン電圧Vdをともに一定としたとき、次式(2)に示すように定義される。

$$\Delta G_{m1} = \delta G_{m1} / \delta V_{g2} \quad (1)$$

そこで、DGFET1を採用してミキサ回路を構成した場合を例に説明すると、ミキサ信号を第1ゲート11Gに、局発信号を第2ゲート12Gに夫々供給し、中間周波数信号(IF)をドレイン端子1Dから取出すものとする。

第2図はゲート幅が300μmのDGFET1を採用し、ゲート電圧Vdを5V、局発信号電力を13dBmとした場合のミキサ回路の測定値であるが、発明者は、第2ゲートに供給される局発信号の電力を一定とすればミキサ回路の変換利得と相互コ

— 8 —

す特性図は局発信号の励振電圧に対する第1SGFET11の利得変化を示したものと等価であると考えることができる。

従って、相互コンダクタンスGm1の変化量ΔGm1の最大値をΔGm1max、またこのときの第2ゲート電圧Vg2をVbとし、また相互コンダクタンスGm1が零となるときの第2ゲート電圧Vg2をVpとしたとき、その差電圧(Vb-Vp)をVoとすると、ΔGm1maxはDGFET1の動作層の形成条件に依存し、Voはその動作層と絶縁層との境界条件に依存する。

また、上述のように相互コンダクタンスGm1の変化量ΔGm1の最大値ΔGm1maxはミキサ回路の変換利得に関連し、第2ゲート電圧軸上での差電圧Vo(=Vb-Vp)も第1SGFET11の利得のスイッチング特性を示すため、同様にミキサ回路の変換利得に関係する。

第4図は相互コンダクタンスの変化量の最大値ΔGm1max及び局発信号電力を夫々一定としたとき、前記差電圧Voとミキサ回路の変換利得と

— 9 —

— 10 —

の対応を示した実験値である。第3図及び第4図に示した実験値から、相互コンダクタンスの変化量の最大値 $\Delta G_{m1 \max}$ を大きくし、差電圧 V_o を小さくすれば変換利得の大きなミキサ回路を構成できることがわかる。

従って、第3図に示した特性図から相互コンダクタンスの変化量の最大値 $\Delta G_{m1 \max}$ 及び差電圧 V_o を統取るという簡単な作業で、ミキサ回路用としてのDGFET1を開発するに際し、その開発のポイントを類推することができる。

上記実施例ではミキサ回路を対象に説明したが、周波数増倍回路についても同様に適用できる。

また、上記実施例では、第1ゲート11Gをミキサ信号入力端子、第2ゲート12Gを局発信号入力端子とし、ドレイン端子1DからIF出力を取出すものとして説明したが、ドレイン端子1DからIF出力を取出すのに、第2ゲート12Gをミキサ入力端子、第1ゲート11Gを局発信号入力端子として使用することもできる。

従って、第1及び第2ゲートを切替え、第2ゲ

ートを第1のゲートに、また第1ゲートを第2のゲートとして測定評価しても同様に実現できる。

即ち、その場合、前記(1)、(2)式に対応させ、第1ゲート11Gの直流バイアス電圧 V_{g1} 及びドレイン電圧 V_d を夫々一定とし、そのときの相互コンダクタンス G_{m2} を次式(3)のように定義し、

$$G_{m2} = \delta I_d / \delta V_{g2} \quad (3)$$

また、第1ゲート11Gのバイアス電圧 V_{g1} を変化させたときの相互コンダクタンス G_{m2} の変化率 ΔG_{m2} を次式(4)のように定義しても同様にDGFET1の非線形特性評価を行うことができる。

$$\Delta G_{m2} = \delta G_{m2} / \delta V_{g1} \quad (4)$$

但し、 V_{g2} 及び V_d は一定である。

〔発明の効果〕

以上説明のように、この発明によるデュアルゲートFETの特性評価方法によれば、直流レベルでの測定器を使用することができ、かつ簡単な計算のみで短時間に行うことができるものであり、DGFET使用の各種回路設計やDGFETの改

— 1 1 —

良開発に採用して顕著な効果が得られるものである。

4. 図面の簡単な説明

第1図はこの発明によるデュアルゲートFETの特性評価方法の一実施例で使用する測定回路図、第2図は第1図に示す測定回路で求めたDGFETの相互コンダクタンスの変化率に対する変換利得特性図、第3図は同じく第1図に示す測定回路による相互コンダクタンス及び相互コンダクタンスの変化量特性図、第4図は同じく第1図に示す測定回路による第2のゲート電圧での差電圧に対する変換利得特性図、第5図はデュアルゲートFETの回路図、第6図は第5図に示すデュアルゲートFETの等価回路図、第7図は従来のDGFETの評価方法による測定結果を示す特性図である。

1…DGFET、 11第1SGFET、
12…第2SGFET、
11G…第1のゲート、
12G…第2のゲート、

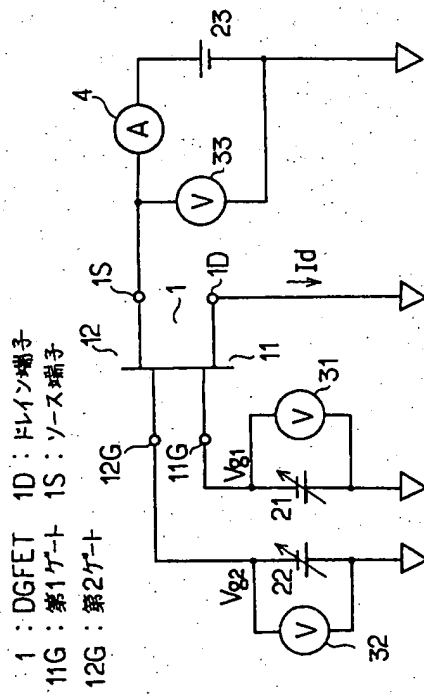
— 1 3 —

— 1 2 —

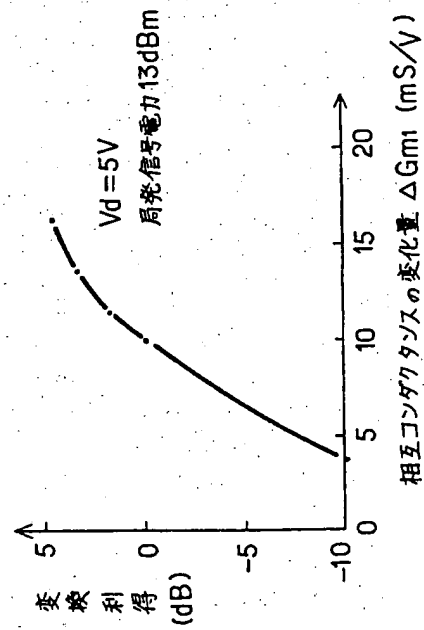
1D…ドレイン端子、 1S…ソース端子、
21~23…直流電源、 31~32…直流電圧計、
4…直流電流計。

代理人 弁理士 大 胡 典 夫

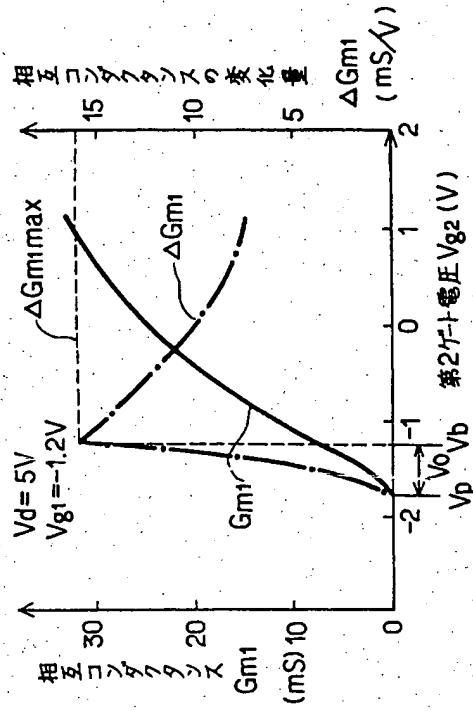
— 1 4 —



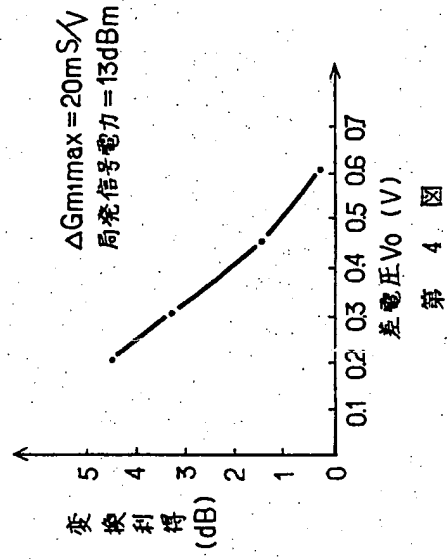
第 1 図



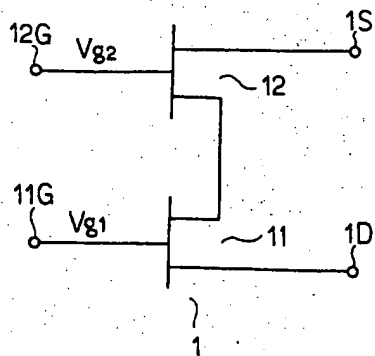
第 2 図



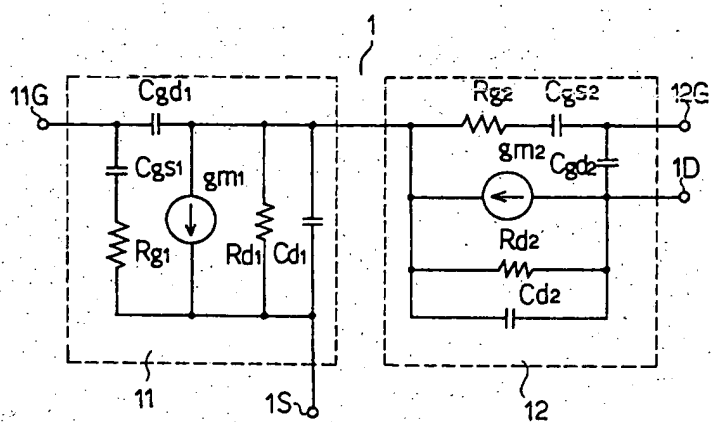
第 3 図



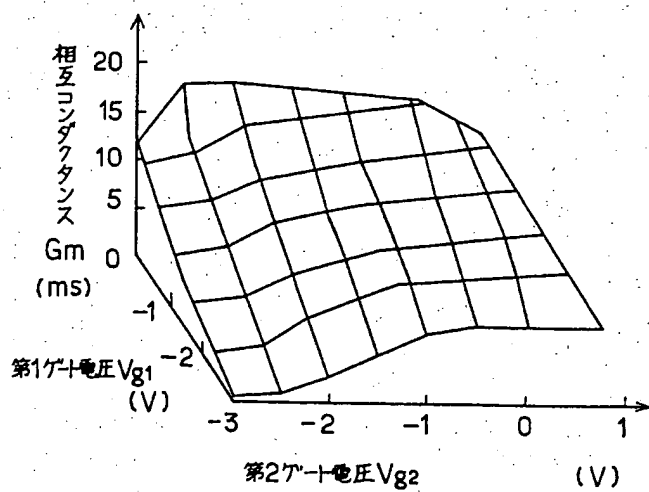
第 4 図



第 5 図



第 6 図



第 7 図